



メモリを有しており、復元された1ピクチャ及びnピクチャを記憶してその間の1ピクチャを復元するために用いられる。具体的には、2つの手順メモリには、未来から復元するための画像データと、過去から予測するための画像データを記憶さし、適宜これらをスライスを切り替えて画像出力とすることで、nピクチャを復元する。また、2つの手順メモリからのそれぞれの出力(端子a、c)の他に、両メモリからの平均出力(端子b)があるのは、nピクチャの両方向予測符号化マクロブロックを復元するためである。

[0004] 発明が解決しようとする課題] このように、従来のMPEGデコーダでは、入力したビットストリームの各マクロブロックを順次処理して復元する、すなわち、あるマクロブロックが入力されるとマクロブロック内の全てのブロックの可変長復元を行う、その後処理が完了した後に逆量子化処理を行うといった手順で処理しているため、最終的に全てのマクロブロックを復元するまでに時間を要する問題があった。

[0005] 1. S.1の場合、もちろん、動作回路数を十分高くすれば、前述のようなシーケンシャルな処理方法でも処理可能であるが、消費電力の増大を招いてしまう。

[0006] 本発明は上記従来技術の有する課題に鑑み、なされたものであり、その目的は、消費電力の増大を招くことなく復元処理を高速化できる処理方法及び装置を提供することにある。

[0007] [課題を解決するための手段] 上記課題を達成するため、第1の発明は、それぞれ所定のマクロブロックを含むnピクチャ、nピクチャ及びnピクチャのMPEG画像データを、可変長復元化、逆量子化、逆DCT各処理ステップを経て隣接画面上に表示する圧縮画像データ処理方法であって、マクロブロックを構成するブロック単位で各処理を並列実行することを特徴とする。

[0008] また、第2の発明は、第1の発明において、マクロブロックを構成する第nブロックの可変長復元処理が完了した後、この第nブロックの可変長復元処理を並列実行することを特徴とする。

[0009] また、第3の発明は、第1の発明において、マクロブロックを構成する第nブロックの逆量子化処理が完了した後、この第nブロックの逆DCT処理と次の第(n+1)ブロックの逆量子化処理とを同時に次の第(n+2)ブロックの可変長復元処理を並列実行することを特徴とする。

[0010] また、第4の発明は、第1の発明において、マクロブロックを構成する全てのブロックの可変長復元処理が完了した後、該マクロブロックの動き補償処理を実行することを特徴とする。

は、DMA(ダレクトメモリアクセス)メモリを介して、メモリ24からビットストリームデータを読み出し、デコーダ1. S.1.2.8に出力する。

[0019] デコーダ1. S.1.2.8は、バッファとして機能する1ピクチャの逆量子化部3.6、逆量子化部3.2、DRAM3.4、可変長復元部3.6、逆量子化部4.0、逆DCT部4.2、メモリ(1)4.4、動き補償部4.6及びメモリA3.8を含んで構成されており、メモリ24からのビットストリームはCPUインターフェース3.0を介してDRAM3.4に記憶される。そして、DRAM3.2はDRAM3.4に記憶されたデータを順次読み出し可変長復元部3.6に出力する。可変長復元部3.6は、入力したデータを可変長復元して逆量子化部4.0に出力する。逆量子化部4.0では、入力したデータを逆量子化して逆DCT部4.2に出力する。逆DCT部4.2では、入力したデータを逆DCT処理してメモリ(1)4.4に出力し、データを記憶する。また、可変長復元部3.6は、入力したマクロブロックの先頭に位置するヘッダデータを読み出すと、そのデータをメモリ(A)3.8に出力し記憶する。なお、ヘッダデータには、マクロブロックアドレスやマクロブロックタイプのデータが含まれており、さらにマクロブロックの種類がイントラマクロブロックでない場合、すなわち順方向予測符号化マクロブロックや逆方向予測符号化マクロブロックあるいは両方向予測符号化マクロブロックの場合には動きベクトルに関するデータが含まれる。動きベクトルは、MPEGにおいてハーフペル(半画素)単位で指定される。

[0020] 従来のMPEGデコーダにおいては、上述したように、マクロブロック内の全てのブロックの復元処理が完了した後に逆量子化処理を行い、さらに全てのブロックの逆量子化処理が完了した後に逆DCT処理を行い、動き補償処理を行い、そのマクロブロックの動き補償(イントラマクロブロックでない場合)が完了した後、次のマクロブロックの処理に移行したが、本実施形態では、このように各処理をシーケンシャルに行うのではなく、マクロブロック内で各処理を並列的に実行して処理の高速化を図っている。

[0021] すなわち、DRAM3.4から読み出された第Nブロックの先頭の第1ブロックデータが可変長復元部3.6に読み込まれると、可変長復元部3.6では、この第1ブロックデータを可変長復元し、次の逆量子化部4.0に出力する。逆量子化部4.0では、入力した第1ブロックデータの逆量子化処理を実行する。このとき、第1ブロックデータの可変長復元が完了したことを検知したブロックデータの可変長復元が完了したことを検知したDRAM3.2は、次の第2ブロックデータをDRAM3.4から読み出し、可変長復元部3.6に出力する。従って、逆量子化部4.0での第2ブロックデータの逆量子化処理と可変長復元部3.6での第2ブロックデータの可変長復元処理が並列に行われることになる。

[0022] また、第3の発明は、第1の発明において、第2ブロックデータの逆量子化処理が完了すると、次に第1ブロックデータの逆DCT処理及び第2ブロックデータの逆量子化処理とを同時に第3ブロックデータの可変長復元処理と行われる。以下同様にしてブロック単位で並列して処理し、逆DCT処理されたデータがメモリ(1)4.4に記憶されていく。以下同様にして処理が第4、第5、第6ブロックデータと進んでいく。[0027] ここで、第Nマクロブロックがイントラマクロブロックの場合には、逆DCT処理されたデータがそのまま所定の復元データであるので、DRAM3.4に

[0022] 逆量子化部4.0で第1ブロックデータの逆量子化処理が完了すると、次の逆DCT部4.2に出力し、第1ブロックデータの逆DCT処理が行われる。また、可変長復元部3.6で可変長復元された第2ブロックデータは、次の逆量子化部4.0に出力されて逆量子化処理が行われ、DRAM3.4から読み出された第3ブロックデータは、可変長復元部3.6に出力されて可変長復元される。従って、この順では、逆DCT部4.2での第1ブロックデータの処理と逆量子化部4.0での第2ブロックデータの処理と可変長復元部3.6での第3ブロックデータの処理が並列して行われることになる。

[0023] 逆DCT部4.2で第1ブロックの処理が完了した後、第1ブロックデータはメモリ(1)4.4に出力され記憶される。また、逆量子化部4.0で第2ブロックデータの処理が完了すると、そのデータを逆DCT部4.2に出力し第2ブロックデータの逆DCT処理が行われる。また、可変長復元部3.6で第3ブロックデータの処理が完了すると、そのデータを逆量子化部4.0に出力し第3ブロックデータの逆量子化処理が行われ、DRAM3.4から読み出された第4ブロックデータは可変長復元部3.6に出力されて可変長復元される。従って、逆DCT部4.2での第2ブロックデータの処理と逆量子化部4.0での第3ブロックデータの処理と可変長復元部3.6での第4ブロックデータの処理が並列して行われることになる。

[0024] 図2には、以上の各処理内容(可変長復元、逆量子化、逆DCT、動き補償)がタイミングチャートとして示されている。なお、マクロブロックは、上述したようにヘッダデータと6個のブロックから構成され、これらのブロックを以下では第1ブロック、第2ブロック、...、第6ブロックと称することにす(図ではブロック1、ブロック2、...、ブロック6と記す)。

[0025] まず、第Nマクロブロックのヘッダデータが可変長復元部3.6で可変長復元されると、メモリ(A)3.8に出力される。そして、次の第1ブロックデータの可変長復元処理が行われる。第1ブロックデータの可変長復元処理が完了すると、次に逆量子化処理を行うが、同時に第2ブロックデータの可変長復元処理も実行される。

[0026] 第1ブロックデータの逆量子化処理及び第2ブロックデータの可変長復元処理が完了すると、次に第1ブロックデータの逆DCT処理及び第2ブロックデータの逆量子化処理とを同時に第3ブロックデータの可変長復元処理と行われる。以下同様にしてブロック単位で並列して処理し、逆DCT処理されたデータがメモリ(1)4.4に記憶されていく。以下同様にして処理が第4、第5、第6ブロックデータと進んでいく。[0027] ここで、第Nマクロブロックがイントラマクロブロックの場合には、逆DCT処理されたデータがそのまま所定の復元データであるので、DRAM3.4に

出力されるが、例えば前方入力調整符号化マクロブロックの  
の場合には、前方動きベクトルを用いて参照画像（過  
去の画像）から再生させる必要があり、そこで、この場合  
には動き補償部 4.6 にて動きベクトル（A）3.8 に記憶さ  
れているベクトルデータを用いて参照画像と追加処理す  
ることによって画像を再生する。具体的には、ベクトルに含  
まれている動きベクトルから参照マクロブロックの位置を計  
算し、DRAM3.4 に記憶されている参照マクロブロック  
のデータを切り出してメモリ（A）4.1 に記憶されている通り  
CT処理した映像データと追加処理する。但し、各ブロッ  
クの可変長符号処理において、あるブロックにエラーレ  
ーが生じた場合にはそのブロックが削除して再生できず  
可変長符号の黒点を省くために含まれているマクロブロッ  
クの可変長符号が完了した後に参照映像の作成処理を開始  
し、この参照映像を用いて再生映像を生成するのが好適  
である。そして、第 N ブロックの全ての処理が完了して  
再生映像データが出力された後、DRAM制御部 3.2 は  
次の第（N+1）マクロブロックの全ての処理が完了して  
み出し、同様の処理を繰り返す。

【0028】このように、本実施形態では、マクロブロック単位でまとめて各処理が行われるのではなく、マクロブロックを構成するブロック単位で各処理が並列して行われるので、動作回路数を高くすることなく処理の高速化を図ることができる。

【0029】＜第2実施形態＞上述した第1実施形態においては、マクロブロック内で処理の並列化を図る場合を示したが、マクロブロック内の並列化に加え、マクロブロック間でも処理の並列化を図ることにより、一層の高速化を図ることもできる。本実施形態では、このようにマクロブロック間でも並列化する場合は説明する。

【0030】図3には、本実施形態の構成ブロック図が示されている。図3に示された第1実施形態の基本的な構成は、図1に示されたデータ処理装置と同等であるが、逆方向処理するメモリがメモリ(1)44aとメモリ(2)44bの2つのメモリから構成され、かつ、可変長連呼されたいデータデータを記憶するメモリがメモリ(A)38aとメモリ(B)38bの2つのメモリから構成されている点で相違する。メモリ(1)44aとメモリ(2)44bはその容量が図1のメモリ(1)44と同一であり、それぞれ時間的に隣接するマクロブロックの画像データと記憶する。また、メモリ(A)38aとメモリ(B)38bも図1のメモリ(A)38と同一の容量を有し、それぞれ時間的に隣接するマクロブロックのヘッドデータを記憶する。

(0031) このような構成において、各マクロブロック内での処理は上述した第1実施形態と同様であり、例えば、第NマクロブロックデコーダがIIRAM3-4から読み出されると、可変長符号部3-6、逆量子化部4-0、逆DCT部4-2では順次ブロック単位毎に並列して可変長符号処理、逆量子化処理、逆DCT処理を実行し、可変

長尺部3部36で復号されたヘッダデータはメモリ(A) 383部38aに記憶され、逆回りで処理された画像データはメモリ(1)44aに記憶される。そして、この第Nマクロブロックがインタグロブブロックでない場合は、メモリ(A)38aに記憶されたヘッダデータに含まれる動きベクトルを用いて前画像と加算処理され、動き補償部46でこの動き補償処理されたマクロブロックの全てのエラータ処理を考慮して第Nマクロブロックの全てのエラータ処理(合計6個)の可変長符号化処理が完了した後に実行される。

【0032】一方、可変長復号部36で第Nマクロブロックの全ての可変長復号処理が完了した場合、DRAM制御部32は、次の第(N+1)マクロブロックデータをDRAM34から読み出して可変長復号部36に出力する。可変長復号部36では、既に第Nマクロブロックの可変長復号処理は完了しているため、入力した第(N+1)マクロブロックの読出データ、すなわちヘッダデータを直ちに可変長復号する。このとき、可変長復号部36の後の復号処理、すなわち逆変換部40や逆DCT処理42は未だ第Nマクロブロックの処理を行っているため、第Nマクロブロックの処理と第(N+1)マクロブロックの処理が並列して実行されることになる。可変長復号部36でヘッダデータの可変長復号処理が完了すると、ヘッダデータはメモリ(B)38に出力されて記憶される。そして、DRAM34からは第(N+1)マクロブロックの第1ブロックが読み出され、可変長復号部36に出力される。以降の処理は第Nマクロブロックと同様であり、ブロック単位に並列して可変長復号処理と、逆変換、逆DCT処理が実行され、逆DCT処理された回復データはメモリ(2)44bに記憶される。

【0033】第(N+1)マクロブロックの可変長反復、逆量子化、逆DCT各処理が好まれている間、動画像補正部46ではメモリ(A)38aに記憶された第Nマクロブロックのヘッダデータ及びメモリ(1)44aに記憶された第Nマクロブロックの画像データを用いて動き補正を実行するが、その処理が完了すると、次にメモリ(B)38bに記憶されている第(N+1)マクロブロックのヘッダデータ及びメモリ(2)44bに記憶されている画像データを用いて動き補正処理を実行し、ピビクチャであるいはBピビクチャを再生する。

【0 0 3 4】なお、第 (N+1) マクロブロックの動き補償処理は、第 N マクロブロックと同様に全てのブロックの可変長復号処理が完了した後に行われ、また、第 (N+1) マクロブロックの可変長復号処理が完了した後に、直ちに次の第 (N+2) マクロブロックの処理が開始され、そのヘッディングが読み取り (A) 3 8 a に記載されることにより画像データが読み取り (1) 4 4 a に記載されることは言うまでもない。

【0035】このように、メモリ(A)38は及びメモリ(1)44を第NマクロブロックIIIのメモリとして

使用し、メモリ (B) 38 b 及びメモリ (2) 44 b を第 (N+1) マクロブロック用のメモリとして交差に使用することなく、第 N マクロブロックの動き補償処理の完了を待つことなく、直ちに第 (N+1) マクロブロックの可変長符号処理に移行することができ、処理の並列化を図ることができる。

【0036】図4には、以上の処理内容がタイミングチャートで示されている。各マクロブロック内の処理は、第2のタイミングチャートと同様であり、可変長復号、逆量子化、逆DCT処理がブロック単位で並列して実行される。そして、図2で第3マクロブロックの動き補償処理が完了した後に第(N+1)マクロブロックの可変長復号処理を開始したが、本実施形態では図4に示すように第3マクロブロックの可変長復号処理が完了した後に、直ちに第(N+1)マクロブロックの可変長復号処理を開始する。従って、第(N+1)マクロブロックの処理と第3マクロブロックのいくつかのブロックの逆量子化処理、逆DCT処理が並列して実行されるとともに、第(N+1)マクロブロックの処理と第3マクロブロックの動き補償処理が同時に、かつ並列して実行されることになり、図2と図4を比較すれば、本実施形態の有効性は明らかである。

【0037】なお、上述した第1及び第2実施形態では、マクロブロック内の全てのブロックの可変長処理が完了した後に動き補償処理を開始しているが、仮にブロックの可変長処理でエラーが生じないことが明らかである場合には、より先のタイミングで動き補償処理（参照画像の再生）を開始することも考えられる。こ

の場合には、最終ブロックである第6ブロックの逆方向処理完了後直ちに再生画像生成処理に移行してさるの  
で、一瞬の高速化を図ることができよう。

【0038】また、第2実施形態では、第1メモリとして用いたメモリ(A)380とメモリ(1)44A、及び第2メモリとして用いたメモリ(1)384とメモリ(2)44Bを用いているが、本発明にこれに限定されるものではない。必要と順負のマクロブロックを記憶するためのメモリ384又はそれ以上のメモリを設けることができるのは、言うまでもない。但し、後に暗号を復号化させることなく処理の並列化を図るためには、実施形態のように最小限のメモリが好ましい。

[0039]

【発明の効果】以上説明したように、本発明によればほぼ消費電力を低く抑えつつ圧縮データを高速で処理することができる。

【図面の簡単な説明】  
【図1】 本発明の第1実施形態の構成ブロック図であ  
る。

【図2】 同実施形態のタイミングチャートである。

【図3】 本発明の第2実施形態の構成ブロック図である。

【図4】 同実施形態のタイミングチャートである。

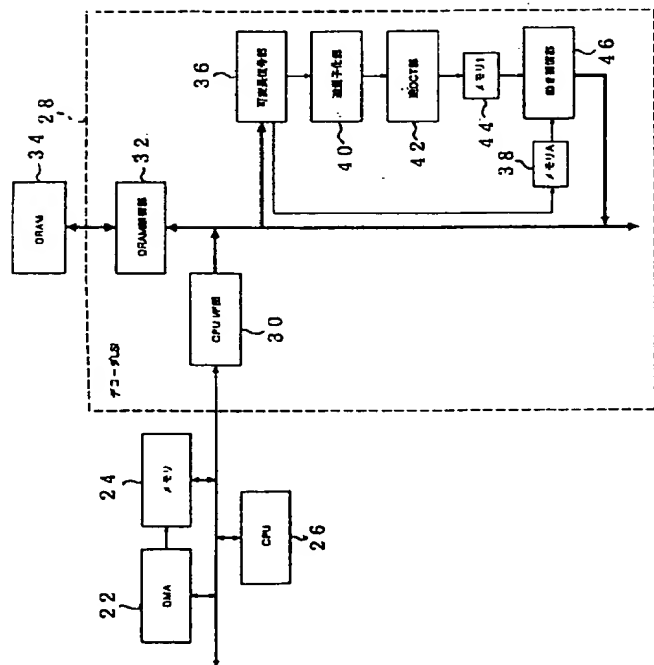
【図5】 従来装置の機能ブロック図である。

【名詞の114】

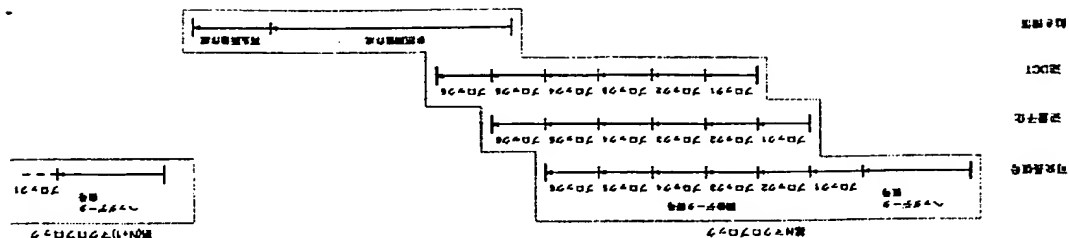
28 デコーダLSI, 34 DRAM, 36 可変長  
復号部, 38 メモリ, 40 逆量子化部, 42 逆  
CT部, 44 メモリ, 46 動き補償部,

(8)

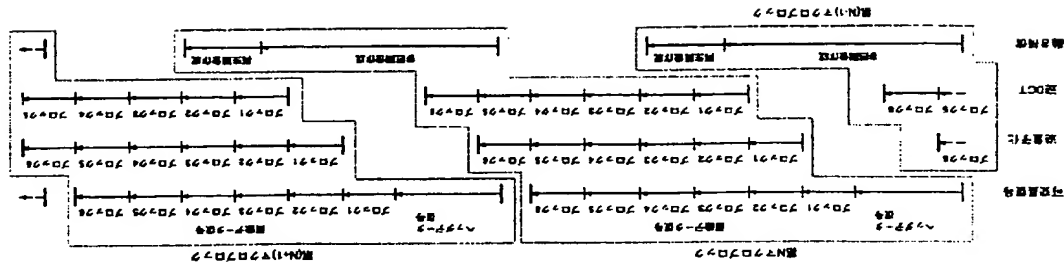
(1241)



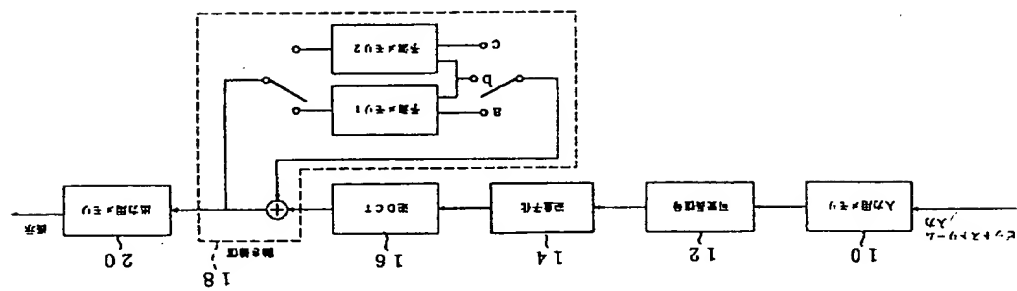
[[142]]

[illegible]

{ 12 }



【図5】



フロントページの続き

(72) 発明者 上金 孝一  
大阪府守口市京阪本通2丁目5番5号  
洋電機株式会社内